

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-102395

(43)Date of publication of application : 23.04.1993

---

(51)Int.CI. H01L 27/04

---

(21)Application number : 03-256645 (71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 03.10.1991 (72)Inventor : SHIBUYA YOSHIKI

---

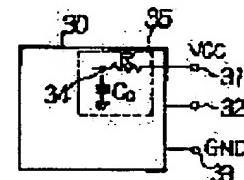
## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

PURPOSE: To effectively cut power source noise without increasing a size of an IC.

CONSTITUTION: A resistor R is connected to a power source wiring 34 connected to a power source terminal 31 in an IC 30, and an LPF 35 is formed of the resistor R and a parasitic capacity C0 generated in the IC 30.

Power source noise of the terminal 31 side is removed by the LPF 35.



---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-102395

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl.<sup>5</sup>

H 01 L 27/04

識別記号 庁内整理番号

H 8427-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 2(全 5 頁)

(21)出願番号

特願平3-256645

(22)出願日

平成3年(1991)10月3日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 渋谷 佳樹

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

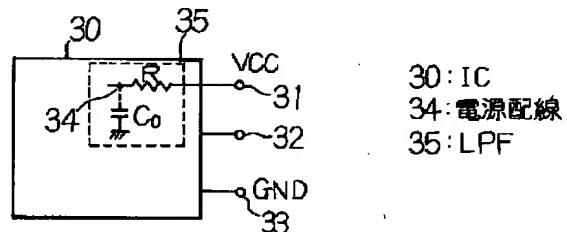
(74)代理人 弁理士 柿本 恒成

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 ICを大型化することなく、的確に電源ノイズをカットする。

【構成】 IC 30 内において、電源端子 31 に接続された電源配線 34 に抵抗 R を接続し、その抵抗 R と IC 30 内に生じる寄生容量 C<sub>0</sub> とで、 LPF 35 を構成する。そして、この LPF 35 で電源端子 31 側の電源ノイズを除去する。



本発明の実施例のIC

## 【特許請求の範囲】

【請求項1】 外部電源印加用の電源端子を有し、該電源端子に接続された電源配線を介して内部回路に電源を供給する半導体集積回路において、前記半導体集積回路内において前記電源配線に抵抗を接続し、該抵抗と前記内部回路に生じる寄生容量とでローパスフィルタを構成したことを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、前記寄生容量としてPNジャンクション容量を利用する構成にした半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、集積回路（IC）、大規模集積回路（LSI）、及び超大規模集積回路（VLSI）等といった半導体集積回路（以下、これを単にICという）、特にその電源部の電源ノイズを除去する回路を内蔵したICに関するものである。

## 【0002】

【従来の技術】従来、ICの電源部に高周波ノイズ等の電源ノイズが印加されると、ICの内部回路が破壊や誤動作を生じるおそれがあるため、種々のノイズ除去方法が提案されている。その一構成例を図2(a), (b)に示す。図2(a), (b)は、従来の電源ノイズ除去手段を有するICの構成図である。図2(a)は、IC10の外部にローパスフィルタ20を接続した構成図である。IC10は、電源端子11、グランド端子12、及び信号端子13等を有し、その電源端子11と外部電源VCCとの間にローパスフィルタ（以下、LPFという）20が接続されている。LPF20は、抵抗Rと容量Cとで構成されている。

【0003】図3は、IC10の電源部に加わる高周波の電源ノイズの波形図である。この電源ノイズNSは、例えば幅100ns以下で、高さが6V以上のスパーク形状をしている。このような電源ノイズNSがIC10の外部から印加されると、その電源ノイズNSがLPF20で遮断（カット）され、IC10の内部回路を保護するようになっている。

【0004】図2(b)の構成では、IC10の電源端子11と外部電源VCCとの間に、コイルL及び容量CからなるLPF21が接続され、該LPF21によって外部電源NSをカットするようになっている。

## 【0005】

【発明が解決しようとする課題】しかしながら、従来の構成では、IC10を電源ノイズNSから保護するため、該IC10の外部にLPF20または21を接続しているため、IC10の小型化を進め、その実装時的小型化が要求される上で、その小型化の妨げになっていた。

【0006】そこで、これらのLPF20または21をIC10の内部に組むことが考えられる。しかし、図3のような電源ノイズNSをカットするためには、容量Cとして100pF程度必要で、これを集積回路で構成すると、該容量Cを作る面積でIC10の大部分を占めてしまうため、IC10の小型化が困難になる。また、コイルLは集積回路で構成することが困難であるため、IC10の内部に形成することができない。従って、IC10を大型化することなく、的確に電源ノイズNSをカットすることが困難であった。

【0007】本発明は、前記従来技術が持っていた課題として、ICを大型化することなく、的確に電源ノイズをカットすることが困難な点について解決した電源ノイズ除去手段内蔵のICを提供するものである。

## 【0008】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、外部電源印加用の電源端子を有し、該電源端子に接続された電源配線を介して内部回路に電源を供給するICにおいて、前記IC内において前記電源配線に抵抗を接続し、該抵抗と前記内部回路に生じる寄生容量とでLPFを構成している。

【0009】第2の発明では、第1の発明の寄生容量としてPNジャンクション容量を利用する構成にしている。

## 【0010】

【作用】第1の発明によれば、以上のようにICを構成したので、IC内部に形成した抵抗と該ICの内部に生じる寄生容量とでLPFが構成され、そのLPFによって電源ノイズをカットし、該ICの内部回路を保護する。

【0011】第2の発明によれば、内部に設けた抵抗とPNジャンクション容量とを用いてLPFを構成しているので、ICに外部電源を印加すると、該IC内に容量値の大きなPNジャンクション容量が発生し、その容量と抵抗によって電源ノイズを遮断する働きがある。従って、前記課題を解決できるのである。

## 【0012】

【実施例】図1は、本発明の実施例を示すICの構成図である。このIC30は、半導体基板に複数のトランジスタ等が形成された内部回路を有し、その内部回路には、外部電源VCC印加用の電源端子31、信号端子32、グランド端子33等が接続されている。このIC30の特徴は、電源端子31に接続されたIC内の電源配線34にLPF35を接続し、該LPF35を、内部回路に生じるPNジャンクション容量等の寄生容量C0と該IC内に形成した抵抗Rとで構成している。

【0013】図4(a)～(c)は、図1のIC30内部に生じる寄生容量C0の説明図である。図4(a)は、IC30の内部の一部を示す図である。IC30の内部回路を構成する例えばP型半導体基板40には、N

型エピタキシャル層41が形成され、そのエピタキシャル層41の素子領域がP型アイソレーション層43によって他の素子領域と分離されている。エピタキシャル層41内には、P型不純物層からなるエミッタE及びコレクタCと、N型不純物層からなるベースBとを有するPNP型のトランジスタ51が形成されている。

【0014】ここで、エミッタEを外部電源VCCに接続し、半導体基板40及びアイソレーション層43をグランドGNDに接続する。すると、エピタキシャル層41は外部電源VCCより約0.6～0.7V程度低い値となるが、半導体基板40及びアイソレーション層43がGND電位であるため、この間にPNジャンクション容量C<sub>J</sub>の寄生容量C<sub>0</sub>が発生する。

【0015】図4(b)は、IC10を構成する内部回路の一部を示す図である。半導体基板40に形成されたエピタキシャル層41内には、N型不純物層からなるコレクタ及びエミッタと、P型不純物層からなるベースBとを有するNPN型トランジスタ52が形成されている。

【0016】このコレクタCに外部電源VCCを接続し、半導体基板40及びアイソレーション層43をGND電位に接続する。すると、エピタキシャル層41は外部電源VCCと同電位となり、図4(a)と同様に、半導体基板40及びアイソレーション層43との間に、PNジャンクション容量C<sub>J</sub>からなる寄生容量C<sub>0</sub>が発生する。

【0017】従って、図4(c)に示すように、IC3の電源端子31に外部電源VCCを接続すると共に、グランド端子33をGNDに接続すると、電源配線34とGNDとの間に、IC30の持つ寄生容量C<sub>0</sub>が存在することになる。この寄生容量C<sub>0</sub>の大きさは、半導体基板40の不純物濃度や、エピタキシャル層41の不純物濃度等によって異なり、またIC30の大きさが大きくなればなるほど大きくなるが、100pF以上になることが多い。

【0018】そこで、本実施例では、図1に示すように、図4(c)の寄生容量C<sub>0</sub>を用い、電源配線34に抵抗Rのみを設けることにより、IC30の内部にLPF35を構成している。

【0019】図5(a), (b)は、実際に抵抗R=300ΩをIC30内の電源部に設けてLPF35を構成したとき(図5(b))と、しないとき(図5(a))の電源部の電源ノイズに対する効果を示す波形図である。

【0020】図1の電源部に、図3のような電源ノイズNSが印加されると、それが図1のLPF35でカットされる。このとき、図5(b)に示すように、電源ノイズNSを完全に吸収することができないが、LPF35によってノイズ波形がかなりなだらかになり、また図5(a)に示すように-1Vまで落ちていたノイズレベル

も、GNDレベルまで上昇している。抵抗Rの値を変えることにより、カットできる電源ノイズNSの周波数も変えることができる。この抵抗値を適切な値に選定すれば、電源ノイズNSをより的確にカットできる。また、LPF35は、外部電源VCCのノイズを除去できるばかりか、IC30内の出力段に加える電源のノイズ等も除去できる。

【0021】さらに、抵抗Rは、例えば図4(a), (b)に示すような半導体基板40あるいはエピタキシャル層41に、不純物を形成する等してより小さな面積で作ることができるために、IC30内部に容易にLPF35を形成することができる。従って、従来のようなLPF20, 21を外付けにしていたIC10に比べ、大幅に小型化できる。

【0022】なお、本発明は上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。IC30の内部回路は、図4(a), (b)に示すようなバイポーラトランジスタ回路の他に、ユニポーラトランジスタ回路等といった他の回路で構成しても良く、またそれらの内部回路に生じるPNジャンクション容量C<sub>J</sub>や他の寄生容量を用いてLPF35を構成するようにしてもよい。

【0023】【発明の効果】以上詳細に説明したように、第1の発明によれば、ICの内部回路に生じる寄生容量を利用し、その寄生容量と内部回路に設けた抵抗とでLPFを構成したので、外部電源や、IC内部の出力段に加える電源等のノイズを該LPFで除去することができる。しかも、内部回路の寄生容量を利用してLPFをIC内部に形成したので、ICを大型化することなく、的確に電源ノイズを除去することが可能となる。

【0024】第2の発明によれば、寄生容量としてPNジャンクション容量を利用したので、比較的大きな容量値と、安定した容量が得られるので、精度の良いLPFを構成できる。

#### 【図面の簡単な説明】

【図1】本発明の実施例を示すICの構成図である。

【図2】従来のICの構成図である。

【図3】電源ノイズの波形図である。

【図4】図1中の寄生容量の説明図である。

【図5】図1のノイズ波形の説明図である。

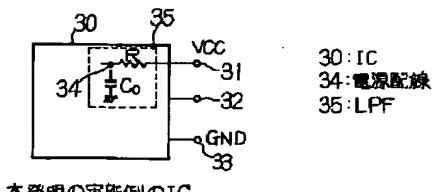
#### 【符号の説明】

30	IC
31	電源端子
33	グランド端子
34	電源配線
35	LPF
C <sub>0</sub>	寄生容量
C <sub>J</sub>	PNジャンクション容量
R	抵抗

VCC

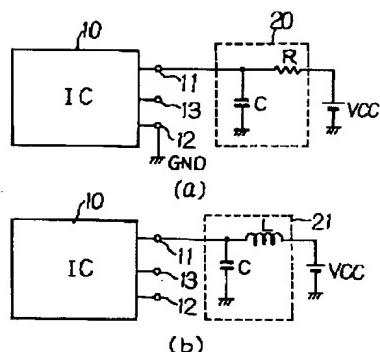
外部電源

【図1】



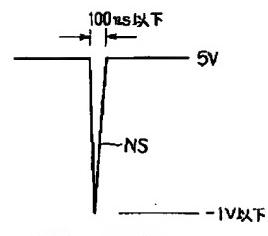
本発明の実施例のIC

【図2】



従来のICの構成図

【図3】



電源ノイズの波形

【図4】

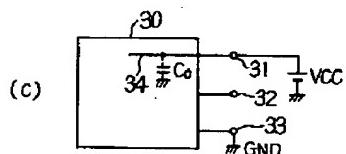
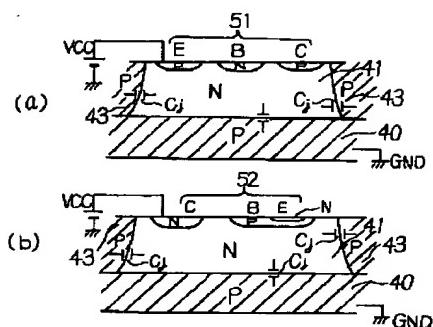


図1中の寄生容量

【図5】

(2V/div, 200ns/div)

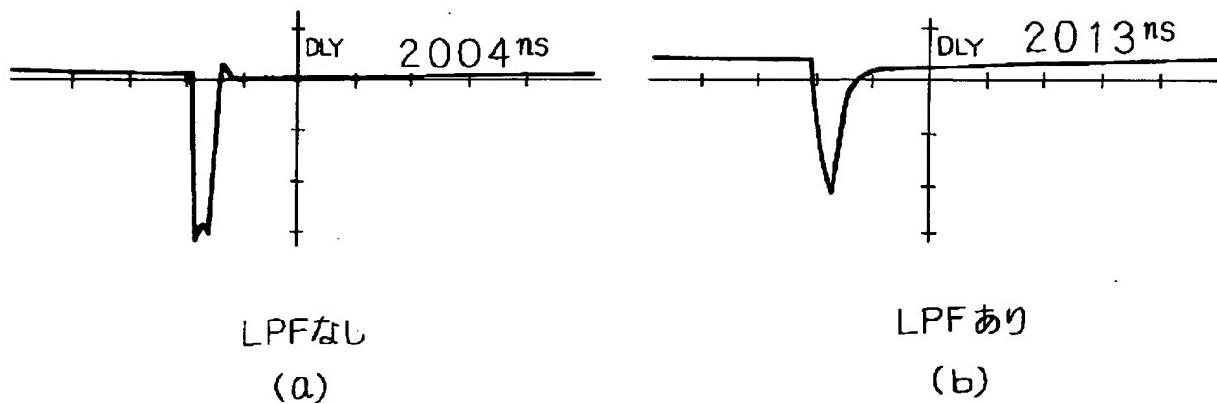


図1のノイズ波形